

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
H01L 21/027(11) 공개번호 특1999-029141
(43) 공개일자 1999년04월26일

(21) 출원번호	특1998-010005
(22) 출원일자	1998년03월23일
(30) 우선권주장	101997045728 1997년09월04일 대한민국(KR)
(71) 출원인	삼성전자 주식회사 윤종용
	경기도 수원시 팔달구 매탄3동 416
(72) 발명자	전미숙
	경기도 용인시 기흥읍 능서리 산 24번지
	이춘득
	경기도 용인시 기흥읍 능서리 산 24번지
	이보용
	경기도 용인시 기흥읍 능서리 산 24번지
(74) 대리인	박만순, 신동준

심사청구 : 있음(54) 반도체장치 제조용 웨이퍼의 리워크방법 및 반도체장치의 제조방법요약

본 발명은 포토레지스트 제거용 시너 조성물, 이를 이용한 반도체장치 제조용 웨이퍼의 리워크 방법 및 반도체장치 제조방법에 관한 것이다.

본 발명은, 특정 패턴을 형성하기 위해 수행되는 사진식각공정 수행시 발생하는 불량으로 인하여 상기 반도체기판 상에 도포된 포토레지스트를 70중량% 내지 80중량%의 에틸-3-에톡시프로피오네이트, 17중량% 내지 23중량%의 에틸락테이트 및 3중량% 내지 7중량%의 감마-부티로락톤을 혼합시켜 제조한 시너 조성물을 이용하여 제거시키는 리워크공정 및 반도체기판의 에지 또는 이면 부분의 포토레지스트를 동일한 시너 조성물에 의해 제거하는 린스공정을 특징으로 하며, 상기 시너 조성물 대신에 소정의 비율로 혼합된 에틸락테이트 + 에틸-3-에톡시프로피오네이트, 에틸락테이트 + 감마-부티로락톤의 시너 조성물을 사용할 수도 있다.

따라서, 동일한 시너 조성물을 이용함으로써 린스공정 및 리워크공정을 일원화시킬 수 있어 생산성이 향상되는 효과가 있다.

대표도도6영세서도면의 간단한 설명

도1은 웨이퍼에 도포된 포토레지스트의 세정과정에서 나타날 수 있는 테일링 현상을 개략적으로 도시한 평면도이다.

도2는 도1의 웨이퍼의 측면면도이다.

도3은 웨이퍼에 도포된 포토레지스트의 세정과정에서 나타날 수 있는 포토레지스트 어택 현상을 개략적으로 도시한 평면도이다.

도4는 도3의 웨이퍼의 측면면도이다.

도5는 본 발명에 따른 반도체장치 제조용 웨이퍼의 일반적인 리워크과정을 나타내는 공정도이다.

도6은 본 발명에 따른 반도체장치 제조용 웨이퍼의 구체적인 리워크방법의 일 실시예를 나타내는 공정도이다.

도7은 본 발명에 따른 반도체장치의 제조방법의 일 실시예를 나타내는 공정도이다.

도8은 본 발명에 따른 반도체장치 제조용 리워크방법을 수행하기 위한 리워크장치를 나타내는 개략도이다.

도9는 본 발명에 따른 반도체장치의 제조방법의 일 실시예를 설명하기 위한 단면도이다.
 도10은 본 발명에 따른 반도체장치의 제조방법의 다른 실시예를 설명하기 위한 단면도이다.
 도11은 본 발명에 따른 반도체장치의 제조방법의 또다른 실시예를 설명하기 위한 단면도이다.
 도12는 본 발명의 일 실시예에 따른 리워크공정의 적용 전후의 웨이퍼의 재공을 추이를 나타내는 그래프이다.

※도면의 주요부분에 대한 부호의 설명

- | | |
|---------------|-----------------|
| 1, 21 : 반도체기판 | 2, 23 : 포토레지스트 |
| 3 : 포토레지스트 테일 | 4 : 포토레지스트 침식부분 |
| 10 : 노즐 | 11 : 웨이퍼 |
| 12 : 진공척 | 13 : 아암 |
| 14 : 업다운실린더 | 15 : 샤프트 |
| 16 : 지지대 | 17 : 고정너트 |
| 25 : 절연막 | 27 : 금속막 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체장치 제조용 웨이퍼의 리워크방법 및 반도체장치의 제조방법에 관한 것으로서, 보다 상세하게는 에틸-3-에톡시프로피오네이트(EEP : Ethyl-3-ethoxy propionate), 에틸락테이트(EL : Ethyl lactate) 및 감마-부티로락톤(GBL : γ -butyro lactone)을 혼합시켜 제조한 시너 조성물, 에틸-3-에톡시프로피오네이트(EEP) 및 에틸락테이트(EL)를 혼합시켜 제조한 시너 조성물, 에틸락테이트(EL) 및 감마-부티로락톤(GBL)을 혼합시켜 제조한 시너 조성물을 이용하여 반도체장치 제조용 웨이퍼 표면에 바람직하지 않게 형성된 포토레지스트(Photoresist)를 제거하는 리워크(Rework) 공정 및 반도체장치 제조과정에서 웨이퍼상에 불필요하게 형성된 포토레지스트를 제거하는 린스(Rinse)공정에 관한 것이다.

일반적으로 반도체장치의 제조과정에서는 반도체기판 또는 반도체기판상의 특정막에 특정 패턴(Pattern)을 형성시키기 위하여 사진식각공정을 수행한다.

이러한 사진식각공정은 주로 상기 반도체기판 상에 광화학반응을 일으키는 포토레지스트를 도포시킨 후 수행된다.

여기서 상기 사진식각공정은 먼저, 반도체기판 또는 특정막 상에 도포될 포토레지스트와의 점착성이 향상되도록 상기 반도체기판 상에 프라이머(primer)를 도포시킨다.

계속해서 상기 프라이머가 도포된 반도체기판 상에 포토레지스트를 도포시킨다.

그리고 상기 포토레지스트를 도포시킨 후, 반도체장치의 제조과정에서 불필요한 부분인 반도체기판의 에지(Edge)부분 또는 이면(Backside)부분에 도포된 포토레지스트를 제거하는 린스공정을 수행한다.

계속해서 상기 반도체기판 상에 도포된 포토레지스트 내의 용제를 제거하고 점착력을 증가시키기 위하여 소프트 베이킹(soft baking)공정을 수행하며, 계속하여 노광공정 및 현상공정을 순차적으로 수행하여 상기 포토레지스트를 특정 패턴으로 형성시킨다.

상기와 같이 형성된 포토레지스트 패턴은 반도체장치 제조과정 중에서 포토레지스트 하부에 존재하는 반도체기판 또는 특정의 하부막을 식각하기 위한 식각마스크로 사용하거나 또는 반도체기판 또는 하부막에 이온주입을 실시하기 위한 이온주입마스크로서 역할을 하게 된다.

한편, 상기와 같은 일련의 사진식각공정의 수행시 불량이 발생하였을 경우에는 일반적으로 상기 반도체기판 상에 도포된 포토레지스트를 제거시킨 후, 상기 반도체기판 상에 포토레지스트를 재(再)도포시킨 후, 상기 사진식각공정을 재수행하는 리워크공정(rework process)을 수행한다.

종래에는 이러한 리워크공정에서 상기 포토레지스트를 제거하기 위하여 이용되는 케미컬(Chemical)은 패턴으로 형성되는 소정의 막에 따라 다른 종류의 케미컬을 이용하였다.

즉, 상기 반도체기판 상에 형성된 특정막을 금속막(Metal Film)을 기준으로 하여 상기 금속막이 형성되기 이전에 수행하는 리워크공정에서는 포토레지스트를 제거하기 위하여 황산 또는 황산 및 과산화수소를 혼합한 케미컬을 이용하여 포토레지스트를 제거시켰고, 상기 금속막을 형성시킨 이후에 수행하는 리워크공정에서는 엔-부틸아세테이트(N-butyl acetate)를 이용하여 포토레지스트를 제거시켰다.

따라서 황산 또는 황산 및 과산화수소를 혼합한 케미컬을 금속막 형성 이후의 포토레지스트 제거에는 적용할 수 없으며, 반대로 엔-부틸아세테이트를 금속막 형성 이후의 포토레지스트 제거에 적용할 수 없기 때문에 각 케미컬에 대하여 별도의 리워크장치가 필요하게 된다는 문제점

이 있었다.

또한 특정한 포토레지스트에 대하여는 상기 엔-부틸아세테이트와 같은 케미컬을 이용한 리워크공정의 수행은 불가능하였다.

이는 사용되는 포토레지스트의 종류에 따라 리워크공정에 사용되는 케미컬과 리워크장치를 별도로 준비해야 하는 등 생산성을 저하시키는 요인이 되고 있기 때문에 새로운 리워크용 케미컬 및 리워크방법의 개발이 필요하게 되었다.

한편, 반도체장치의 제조과정의 사진식각공정 중 상기 반도체기판의 에지(edge)부분이나 이면부분에 불필요하게 도포된 포토레지스트를 제거하는 린스공정을 수행하게 되는 데, 이는 웨이퍼의 에지나 이면에 포토레지스트가 존재하는 경우, 이들의 존재에 의하여 에칭이나 이온주입 등과 같은 후속공정에서 식각불량이나 파티클이 발생하게 되며, 그에 따라 전체 반도체장치의 수율의 저하를 초래하기 때문이다.

종래에는 웨이퍼의 에지나 이면에 존재하는 포토레지스트를 제거하기 위하여 웨이퍼 에지부분의 상하에 분사노즐을 설치하고 노즐을 통하여 에지나 이면에 유기용제 성분으로 된 시너(thinner)를 분사하였다.

상기 시너로서의 성능을 결정짓는 요소로는 용해속도, 휘발성 및 점도를 들 수 있다.

시너의 용해속도는 포토레지스트를 얼마나 효과적으로 용해시켜 제거해낼 수 있는가에 관한 것이며, 시너의 휘발성은 포토레지스트를 제거하고 난 후, 쉽게 휘발되어 웨이퍼의 표면에 잔류하지 않는 정도를 말하며, 휘발성이 너무 낮아 시너가 휘발되지 못하고 잔류하는 경우, 잔류하는 시너 자체가 후속되는 공정, 특히 식각공정 등에서 오염원으로 작용하여 반도체 장치의 수율을 저하시키는 문제점이 발생할 수 있으며, 휘발성이 너무 높으면 취급 중에도 쉽게 휘발되어 대기 중으로 휘발하여 청정실 자체를 오염시키는 원인이 되는 문제점이 일어날 수 있다.

또한, 시너의 적절한 점도는 노즐을 통한 분사를 용이하게 하기 위한 필수적인 물성이며, 점도가 너무 높으면 노즐을 통한 분사시에 분사압이 필요이상으로 크게 요구되는 문제점이 일어날 수 있으며, 점도가 너무 낮으면 노즐에 의한 분사후에 웨이퍼와의 접촉부위에서 집중되지 못하는 포커스불량을 유발할 수 있다.

특히, 에지린스의 경우에 있어서, 적절한 용해속도를 가져야만 매끄러운 처리단면을 가질 수 있으며, 용해속도가 너무 낮은 경우에는, 도1 및 도2에 도시한 바와 같이, 반도체기판(1)에 도포된 포토레지스트(2)에 대한 린스공정을 수행하여도 테일링(tailing)이라 불리는 부분용해된 포토레지스트테일(3)(photoresist tail)의 흐름현상이 나타날 수 있으며, 용해속도가 너무 높은 경우에는, 도3 및 도4에 도시한 바와 같이, 반도체기판(1)에 도포된 포토레지스트(2)의 린스공정에서 포토레지스트어택(photoresist attack)이라 불리는 포토레지스트침식부분(4)이 나타날 수 있다. 이들 테일링이나 포토레지스트어택 등은 모두 반도체 장치의 수율을 저하시키는 직접적인 불량원인이 될 수 있다.

휘발성의 경우에서도 시너의 휘발성이 너무 낮은 경우에는 웨이퍼의 에지부근 특히, 스핀 건조 후 웨이퍼의 정렬에 사용되는 플랫존(flat zone)의 에지부근에서 시너가 잔류할 수 있으며, 이러한 잔류 시너는 현상(developing)후에 웨이퍼상의 포토레지스트와 접촉함으로써 플랫존 부근에서의 포토레지스트의 몽침 현상을 일으켜 결과적으로 웨이퍼로부터의 반도체 장치의 수율을 저하시키는 직접적인 문제점을 야기할 수 있으며, 반대로 휘발성이 너무 높은 경우에는 충분히 포토레지스트를 제거하기 전에 시너가 증발하여 역시 포토레지스트의 세정효율을 떨어뜨릴 수 있는 단점이 있다.

종래의 시너로서는 주로 에틸렌글리콜 모노에틸에테르 아세테이트(ECA ; ethyleneglycol monoethylether acetate), 엔-부틸아세테이트(n-Ba ; n-butyl acetate), 프로필렌글리콜 모노메틸에테르 아세테이트(PGMEA ; propyleneglycol monomethylether acetate) 및 에틸락테이트(EL ; ethyl lactate)등이 사용되었으나, 에틸렌글리콜 모노에틸에테르 아세테이트와 엔-부틸아세테이트의 경우 용해속도는 우수하나, 휘발성과 인화성이 높고, 호흡기나 피부흡수에 의하여 인체에 대하여 독성을 나타내며, 특히 에틸렌글리콜 모노에틸에테르 아세테이트의 경우 백혈구감소증 및 태아유산유발 등의 독성이 있다는 주장이 있었으며, 프로필렌글리콜 모노메틸에테르 아세테이트나 에틸락테이트는 용해속도가 현저하게 낮기 때문에 충분한 린스효과를 얻지 못하는 단점이 있었다.

대한민국 특허공고 제 90-5345 호에는 일반식 $R^1-O-(-CHR^2-CH_2-O-)_n-H$ 로 표시되는 에테르 화합물을 주성분으로 하는 린스용제를 사용하여 린스처리함을 특징으로 하는 린스처리방법에 대하여 기술하고 있는데, 이는 인체에 독성은 없다고 하나, 포토레지스트가 도포된 웨이퍼를 완전히 침적시켜 포토레지스트층을 제거, 박리해내는데 사용하기에 적절한 것으로서, 노즐을 통한 분사에 의한 포토레지스트의 선택적인 제거 즉, 에지부분이나 이면의 포토레지스트의 제거 등과 같은 부분제거에 사용하기에는 부적절한 것이었다.

따라서, 전술한 바와 같이 포토레지스트에 대한 리워크공정이나 린스공정시 적절한 용해속도와 휘발성 및 점성을 가지면서도 인체에 대한 독성이 없는 시너의 개발이 적극 요구되고 있으며, 이들 시너를 이용하여 효율적이며 신뢰성 있는 리워크방법 및 반도체장치의 제조방법이 요구되는 실정이다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 적절한 용해속도와 휘발성 및 점성을 가지면서도 인체에 대한 독성이 없는

시너 조성물을 이용하여 비정상적으로 도포된 포토레지스트를 용이하고 완전하게 제거하여 재생하는 반도체장치 제조용 웨이퍼의 리워크방법을 제공하는 데 있다.

본 발명의 다른 목적은, 적절한 용해속도와 휘발성 및 점성을 가지면서도 인체에 대한 독성이 없는 시너 조성물을 이용하여 반도체기판상에 금속막의 형성 전후에 관계없이 비정상적으로 도포된 포토레지스트를 용이하고 완전하게 제거하여 재생하는 반도체장치 제조용 웨이퍼의 리워크방법을 제공하는 데 있다.

본 발명의 또다른 목적은, 적절한 용해속도와 휘발성 및 점성을 가지면서도 인체에 대한 독성이 없는 시너 조성물을 이용하여 반도체기판 상에 불필요하게 도포된 포토레지스트를 용이하고 완전하게 제거한 후, 후속되는 사진식각공정을 수행하여 신뢰성 있으며 오염발생이 억제되는 반도체장치의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 반도체장치 제조용 웨이퍼의 리워크방법은,

반도체기판에 특정 패턴(Pattern)을 형성시키기 위하여 상기 반도체기판 상에 포토레지스트(Photoresist)를 도포하여 사진식각공정을 수행하는 단계; 및 상기 사진식각공정의 수행시 발생되는 불량으로 인하여 상기 반도체기판 상에 도포된 포토레지스트를 70중량% 내지 80중량%의 에틸-3-에톡시프로피오네이트(EEP : Ethyl-3-ethoxy propionate), 17중량% 내지 23중량%의 에틸락테이트(EL : Ethyl lactate) 및 3중량% 내지 7중량%의 감마-부티로락톤(GBL : γ -butyrolactone)을 혼합시켜 제조한 시너 조성물을 이용하여 제거시키는 단계를 구비하여 이루어진다.

상기 시너 조성물을 이용하여 포토레지스트를 제거하는 단계는, 바람직하게는 상기 포토레지스트가 형성된 반도체기판을 회전가능한 진공척상에 로딩하는 단계; 상기 로딩된 반도체기판상에 상기 시너 조성물을 공급하는 단계; 상기 반도체기판상의 포토레지스트가 상기 시너 조성물에 용해되도록 일정시간 유지하는 단계; 및 상기 진공척을 회전시켜 상기 시너 조성물과 함께 포토레지스트를 제거하는 단계를 포함하여 이루어진다.

상기 시너 조성물은 바람직하게는 75중량%의 에틸-3-에톡시프로피오네이트, 20중량%의 에틸락테이트 및 5중량%의 감마-부티로락톤을 혼합시켜 제조한 것을 이용할 수 있다. 상기 시너 조성물의 점도는 1.0 내지 2.0 cps의 범위, 보다 바람직하게는 1.3 내지 1.9 cps의 범위 내의 것을 사용한다.

한편, 상기 시너 조성물의 다른 형태는, 40중량% 내지 20중량%의 에틸-3-에톡시프로피오네이트(EEP : Ethyl-3-ethoxy propionate) 및 60중량% 내지 80중량%의 에틸락테이트(EL : Ethyl lactate)를 혼합시켜 제조한 것을 이용할 수 있으며, 또다른 형태로서 90중량% 내지 60중량%의 에틸락테이트(EL : Ethyl lactate)와 10중량% 내지 40중량%의 감마-부티로락톤(GBL : γ -butyrolactone)을 혼합시켜 제조한 것을 이용할 수 있다.

또한, 상기 리워크공정의 대상이 되는 포토레지스트는 전술한 바와 같이 반도체기판상에 직접 도포된 것 이외도, 반도체기판 상에 형성된 절연막을 특정 패턴으로 형성시키기 위하여 상기 절연막 상에 포토레지스트 또는 반도체기판 상에 형성된 금속막을 특정 패턴으로 형성시키기 위하여 상기 금속막 상에 포토레지스트에 대하여도 전술한 리워크방법과 시너 조성물을 적용할 수 있다.

상기 절연막은 예를 들어, 산화막 또는 질화막이 될 수 있으며, 상기 금속막은 예를 들어, 특정의 절연막 상에 형성된 알루미늄막이 될 수 있다.

상기 목적을 달성하기 위한 본 발명에 따른 반도체장치의 제조방법은,

반도체기판 상에 도포될 포토레지스트와 상기 반도체기판의 점착성이 향상되도록 상기 반도체기판 상에 프라이머를 도포시키는 단계; 상기 프라이머가 도포된 반도체기판 상에 특정 패턴을 형성시키기 위하여 포토레지스트를 도포하는 단계; 상기 포토레지스트 중에서 상기 반도체장치의 제조과정에서 불필요한 부분에 도포된 포토레지스트를 70중량% 내지 80중량%의 에틸-3-에톡시프로피오네이트(EEP), 17중량% 내지 23중량%의 에틸락테이트(EL) 및 3중량% 내지 7중량%의 감마-부티로락톤(GBL)을 혼합시켜 제조한 시너 조성물을 이용하여 린스하여 제거시키는 단계; 상기 반도체기판상의 포토레지스트의 점착력 향상을 위해 소프트 베이킹하는 단계; 상기 포토레지스트에 특정 패턴을 형성하기 위해 노광하는 단계; 및 상기 노광단계에 의해 광화학반응을 일으킨 포토레지스트를 선택적으로 제거하여 현상하는 단계를 구비하여 이루어진다.

상기 린스단계에서 제거되는 불필요한 부분은 상기 반도체기판의 에지부분(Edge Area) 또는 이면부분(Back Area)이며, 상기 시너 조성물은 바람직하게는 75중량%의 에틸-3-에톡시프로피오네이트, 20중량%의 에틸락테이트 및 5중량%의 감마-부티로락톤을 혼합시켜 제조한 것을 이용한다.

한편, 상기 시너 조성물의 다른 형태는, 40중량% 내지 20중량%의 에틸-3-에톡시프로피오네이트(EEP : Ethyl-3-ethoxy propionate) 및 60중량% 내지 80중량%의 에틸락테이트(EL : Ethyl lactate)를 혼합시켜 제조한 것을 이용할 수 있으며, 또다른 형태로서 90중량% 내지 60중량%의 에틸락테이트(EL : Ethyl lactate)와 10중량% 내지 40중량%의 감마-부티로락톤(GBL : γ -butyrolactone)을 혼합시켜 제조한 것을 이용할 수 있다.

이하, 본 발명의 구체적인 실시예를 첨부한 도면을 참조하여 상세히 설명한다.

먼저, 본 발명에 따른 반도체장치 제조용 웨이퍼의 리워크공정 및 반도체장치의 제조공정에 사용되는 포토레지스트 제거용 시너 조성물에 대하여 살펴본다.

에틸락테이트(EL) + 감마-부티로락톤(GBL) 혼합의 시너 조성물

상기 시너 조성물은 에틸락테이트(Ethyl Lactate) 90 내지 60 중량%와 감마-부티로락톤(GBL : γ -butyrolactone) 10 내지 40 중량%를 혼합하여 이루어지며, 여기에서 에틸락테이트나 감마-부티로락톤은 모두 반도체 등급의 극히 순수한 것이 선택되어 사용되어질 수 있으며, VLSI 등 급에서는 0.2 μ m 수준으로 여과한 것이 사용되어질 수 있다.

상기 에틸락테이트는 미합중국 식품의약국(FDA)에서 안정성을 인정받은 것으로서, 현재 식품첨가제로 사용중인 것으로서, 인체에 대한 안정성이 입증되었으며, 독성실험에서 마우스(Mouse)에의 구강투여로 인한 50% 치사량이 $LD_{50}(\text{mouse}) = 2.5\text{g/kg}$ 를 나타내며, 효소활성에 의하여 빠르게 유산(젖산)과 에탄올로 분해된다. 상기 에틸락테이트의 물리적 성질은 밀도 0.97g/cm^3 , 끓는점 156°C , 인화점(클로즈드 컵(closed cup) 방식으로 측정하여) 52°C , 점도(25°C 에서) 2.7cps (센티포아즈)이다.

또한, 상기 감마-부티로락톤은 합성수지의 용제로 알려져 있으며, 발화점이 높고, 용제로서는 비교적 안정하며, 독성실험에서 래트(Rat)에의 구강투여로 인한 50% 치사량이 $LD_{50}(\text{Rat}) = 1.5\text{g/kg}$ 를 나타내며, 피부접촉실험 및 3개월간에 걸친 섭취 실험에서 인체에 중독현상이 나타나지 않을 정도로 안전한 것으로 입증되어졌다. 상기 감마-부티로락톤의 물리적 성질은 밀도 1.128g/cm^3 , 끓는점 204°C , 인화점(클로즈드 컵(closed cup) 방식으로 측정하여) 100°C , 점도(25°C 에서) 1.7cps (센티포아즈)이다.

특히, 상기 에틸락테이트 80중량%와 감마-부티로락톤 20중량%의 혼합용액의 물리적 성질은 밀도 1.052g/cm^3 , 끓는점 160°C , 인화점(클로즈드 컵(closed cup) 방식으로 측정하여) 96 내지 98°C , 점도(25°C 에서) 2.25cps (센티포아즈)로 측정되어지며, 혼합용액으로 이루어지는 본 발명의 시너 조성물은 그 구성성분이 되는 두 성분들 즉, 에틸락테이트와 감마-부티로락톤의 중간적인 수치들을 나타내는 것으로 확인되어져서 사용조건에 따라 적절한 물리적 성질을 갖는 시너 조성물의 제조가 가능함을 알 수 있다.

본 발명에 따라서 에틸락테이트(EL)와 감마-부티로락톤(GBL)을 중량비로 하여 90 : 10(실시에 1), 80 : 20(실시에 2), 70 : 30(실시에 3) 및 60 : 40(실시에 4)으로 균일하게 혼합하고, 포토레지스트에 대한 용해속도, 유기용제에 대한 휘발량, 세정액 공급장치들에 대한 부식성, 에지비드런스 처리 후의 처리단면 등을 평가하였다.

또한 프로필렌글리콜 모노메탈에테르 아세테이트(PGMEA)(비교예 1), 에틸렌글리콜 모노메탈에테르(ECA)(비교예 2), 에틸락테이트(EL)(비교예 3)을 단독으로 사용할 경우 및 에틸락테이트와 감마-부티로락톤을 중량비로 95 : 5로 혼합했을 경우(비교예 4)에 대해 위 실시예와 동일한 평가를 시행하였다.

포토레지스트에 대한 용해속도

상용적으로 구입하여 사용할 수 있는 각종 포토레지스트들 중 에스에스01에이9(SS01A9 ; 스미토모 케미컬 컴퍼니 리미티드)와 엠씨피알-아이7010엔(MCPR-i7010N ; 가부시키가이샤 미쯔비시)에 대하여 본 발명의 시너 조성물을 사용한 포토레지스트의 용해속도를 측정하였다. 실험조건은 반도체 제조공의 실리콘 웨이퍼 상에 상기 포토레지스트들을 두께 에스에스01에이9를 $15,000\text{\AA}$ (옹스트롬)으로 그리고 엠씨피알-아이7010엔을 $14,000\text{\AA}$ 으로 각각 도포하고, 150°C 에서 120초간 소프트 베이킹(soft bake)시키고, 측정장비로서 에이피씨(APC ; 일본국 앨 제이 씨 사의 모델-790)를 사용하였으며, 포토레지스트를 란스하기 위한 용매로서 기존의 유기용제로서 프로필렌글리콜 모노메탈에테르 아세테이트(PGMEA)(비교예 1), 에틸렌글리콜 모노메탈에테르 아세테이트(ECA)(비교예 2) 및 에틸락테이트(EL) 80g과 감마-부티로락톤(GBL) 20g을 혼합한 본 발명에 따른 시너 조성물(실시에 2)에 대하여 용해도를 측정하였으며, 그 결과를 표 1에 나타내었다.

표 1 포토레지스트에 대한 시너 및 시너 조성물에 따른 용해속도 (단위 : $\text{\AA}/\text{sec}$)

		실시에 2	
포토레지스트 (PR)	4,376	4,642	
MCPR-i7010N		9,341	10,642

상기 표 1에서 나타난 바와 같이, 본 발명에 따른 시너 조성물은 증래의 유기용제인 프로필렌글리콜 모노메탈에테르 아세테이트(PGMEA)에 비하여는 현저하게 높은 용해성능을 가지며, 에틸렌글리콜 모노메탈에테르 아세테이트(ECA) 보다도 높은 용해성능을 가짐을 알 수 있다.

특히, 에틸락테이트 단독, 또는 에틸락테이트와 감마-부티로락톤의 혼합물로 이루어진 유기용제 조성물의 포토레지스트에 대한 용해속도의 변화를 측정하였으며, 포토레지스트로서 디에스에이엠-200(OSAM-200)을 사용하여 $12,250\text{\AA}$, $15,000\text{\AA}$ 및 $20,600\text{\AA}$ 의 두께로 도포하고, 100°C 에서 90초간 소프트 베이킹시키는 것을 제외하고는 상기한 바와 동일한 조건으로 하여 용해도를 측정하였으며, 그 결과를 표 2에 나타내었다.

표 2 포토레지스트에 대한 시너 및 시너 조성물에 따른 용해속도 (단위 : $\text{\AA}/\text{sec}$)

시 너 조 성 물				
비교예 3	비교예 4	실시에 1	실시에 2	실시에 3

포토레지	DSAM-200	909	1,231	1,453	2,215	3,618
스트(PR)						

상기 표 2에 나타난 바와 같이, 본 발명에 따른 시너 조성물에서는 감마-부티로락톤의 함량의 증가에 따라 포토레지스트에 대한 용해속도가 증가함을 확인할 수 있었으며, 이는 에틸락테이트의 단독사용에 비하여 현저하게 증가함을 알 수 있다.

유기용제에 대한 휘발량의 평가

일반 대기압하에서 실온(25℃)에서 포토레지스트의 용해에 사용되어지는 대표적인 용제들과 본 발명에 따른 유기용제 조성물을 구성하는 각 성분들 단독의 증발량을 각각 측정하였으며, 그 결과를 표 3에 나타내었다.

표 3 유기용제들의 증발량

		유 기 용 제			
		비교예 1	비교예 2	비교예 3	감마-부티로락톤
시간	1	-0.31	-0.18	-0.08	-0.08
	2	-0.57	-0.37	-0.18	-0.14
	6	-2.45	-1.44	-0.77	-0.07
	24	-10.44	-5.66	-4.33	-0.49

상기 표 3에서 나타난 바와 같이, 증발량이 많은 순서대로 나열하면 프로필렌글리콜 모노메틸 에테르 아세테이트 > 에틸렌글리콜 모노에틸에테르 아세테이트 > 에틸락테이트 > 감마-부티로락톤의 순서로 증발량이 적어짐을 알 수 있으며, 본 발명에 따른 유기용제 조성물에 사용되어지는 에틸락테이트와 감마-부티로락톤들은 각각 단독으로 존재하는 경우에도 기존의 유기용제들로 사용되어진 에틸렌글리콜 모노에틸에테르 아세테이트나 프로필렌글리콜 모노메틸에테르 아세테이트에 비하여 증발량이 적음을 알 수 있으며, 특히 감마부티로락톤은 다른 유기용제들에 비하여 현저하게 낮은 증발량을 가짐을 알 수 있다. 단, 상기 증발량 실험에서 증발개시 2시간 후의 증발량(-0.14)이 증발개시 6시간 후의 증발량(-0.07)에 비하여 훨씬 높은 수치를 나타내고 있으나, 이는 실험적인 오차인 것으로 여겨진다.

또한 본 발명에 따른 유기용제 조성물 자체의 증발량을 혼합비를 달리하면서 측정하였으며, 그 결과를 표 4에 나타내었다.

표 4 혼합비에 따른 유기용제들의 증발량

		비교예 4	실시에 1	실시에 2	실시에 3
시 간	2	-0.02	-0.03	-0.01	-0.01
	3	-0.06	-0.06	-0.03	-0.04
	26	-0.59	-0.43	-0.43	-0.39
	50	-1.57	-1.22	-1.14	-1.10
	114	-2.97	-2.62	-1.97	-1.88

상기 표 4에서 나타난 바와 같이, 에틸락테이트와 감마-부티로락톤의 혼합에 의하여 형성되는 유기용제에서 감마-부티로락톤의 함량이 증가할 수록 증발량이 적어짐을 알 수 있으며, 감마-부티로락톤의 함량이 20중량%를 초과하는 경우에는 증발량의 감소정도가 크게 달라지지 않음을 알 수 있다. 이러한 증발량의 감소는 생산 공정 등을 수행하는 작업장내의 대기중에 잔존하게 되는 휘발되어진 용제분자들의 잔존량을 감소시키며, 그에 따라 작업자의 호흡으로 인한 흡입량의 감소는 물론 폭발의 위험성 등을 감소시킬 수 있다.

공급장치들에 대한 침해성

유기용제를 자동 공급장치 등에서 사용하기 위하여는 공급장치의 공급관 등을 구성하는 연결관이나 탄성의 오-링(O-ring) 등에 대한 화학적 안정성을 알아보기 위하여 공급장치에서 공급관들을 서로 연결하고, 유체적으로 밀봉하기 위하여 사용되는 오-링을 구성하는 합성수지 시편들을 에틸락테이트와 감마-부티로락톤 각각에 150시간 이상 담가두기를 실시하여 시간경과에 따른 합성수지들의 팽윤비를 평가하였다.

본 발명에 따른 유기용제 조성물에 의하면 물성이 거의 변하지 않으며, 합성수지들 및 이들로 제조되어지는 유기화합물 공급관이나 연결용의 오-링 등에 대하여 안정하게 사용되어질 수 있다.

에지 비드 렌스 처리 후의 처리단면

유기용제를 사용하여 포토레지스트가 도포되어진 웨이퍼에 대한 렌스의 정도 및 에지 비드 렌스 후의 단면의 유형에 대한 실험을 실시하였다.

본 발명에 따른 유기용제 조성물은 처리단면의 선형도(linearity)가 극히 우수하게 나타나며, 웨이퍼 상의 포토레지스트의 렌스용으로 사용하기에 적절함이 밝혀졌다.

에틸락테이트(EL) + 에틸-3-에톡시프로피오네이트(EEP), 또는 에틸락테이트(EL) + 에틸-3-에톡시프로피오네이트(EEP) + 감마부티로락톤(GBL) 혼합의 시너 조성물

본 발명에 따른 시너 조성물은, 에틸락테이트와 에틸-3-에톡시프로피오네이트를 혼합하여 바람직하게는 에틸락테이트 60 내지 80 중량%와 에틸-3-에톡시프로피오네이트 40 내지 20 중량%를 혼합하여 이루어질 수 있으며, 점도는 1.0 내지 2.0cps 인 것이 사용될 수 있으며, 바람직하게는 1.3 내지 1.9cps 인 것이 사용될 수 있다.

특히 바람직하게는 상기 에틸락테이트와 에틸-3-에톡시프로피오네이트들은 모두 반도체 등급의 극히 순수한 것이 선택되어 사용될 수 있으며, VLSI 등급에서는 0.2 μ m 수준으로 여과한 것이 사용될 수 있다.

상기 에틸-3-에톡시프로피오네이트는 실온에서 액상으로 존재하며, 비타민이나 기타 화학물질들의 중간체로서 사용되는 것으로서, 인체에 대한 특별한 독성이 보고되지 않았다. 상기 에틸-3-에톡시프로피오네이트의 물리적 성질은 밀도 0.95g/cm³, 끓는점 170.1 $^{\circ}$ C, 인화점(오픈 컵(open cup) 방식으로 측정하여) 82.2 $^{\circ}$ C, 점도(25 $^{\circ}$ C에서) 1.20cps(센티포아즈)이다.

특히 바람직하게는 휘발성이나 점도의 큰 변화없이 용해속도를 증가시키기 위하여 상기 에틸락테이트와 에틸-3-에톡시프로피오네이트의 혼합물에 감마-부티로락톤을 더 혼합하여 이루어질 수 있다.

상기한 바와 같은 에틸락테이트와 에틸-3-에톡시프로피오네이트의 혼합물에 감마-부티로락톤이 더 혼합되는 경우에는 에틸락테이트 10 내지 70 중량%, 에틸-3-에톡시프로피오네이트 80 내지 30 중량% 및 감마-부티로락톤 10 중량% 이하의 혼합비로 혼합하여 이루어질 수 있다.

바람직하게는 에틸락테이트 20 내지 60 중량%, 에틸-3-에톡시프로피오네이트 72 내지 39 중량% 및 감마-부티로락톤 1 내지 8 중량%의 혼합비로 혼합하여 이루어질 수 있다.

특히 바람직하게는 에틸락테이트 20 내지 40 중량%, 에틸-3-에톡시프로피오네이트 74 내지 58 중량% 및 감마-부티로락톤 2 내지 6 중량%의 혼합비로 혼합하여 이루어질 수 있다.

이하의 구체적인 실시예들을 용해속도, 휘발성 및 점도의 면에서 비교예들과 비교하여 나타내었다.

포토리지스트에 대한 시너들의 용해속도 측정 실험

상용적으로 구입하여 사용할 수 있는 각종 포토리지스트들 중 디에스에이엠-200(DSAM-200) 및 디피알-2053(OPR-2053)에 대하여 본 발명에 따른 시너 조성물과 기타 상용적으로 구입하여 사용할 수 있는 다른 시너를 사용하여 용해속도를 측정하였다. 실험조건은 반도체 제조용의 실리콘 웨이퍼 상에 상기 포토리지스트들을 12,000 \AA 내지 32,000 \AA 의 범위의 두께로 도포하고, 100 내지 110 $^{\circ}$ C 이상의 온도에서 적어도 90초 이상 소프트베이킹한 후, 측정장비로서 디알럼(DRM)을 사용하였으며, 각각의 실험결과들을 실험조건에 따라 구분하여 결과들을 표5 및 표6에 개별적으로 나타내었다.

표 5 포토리지스트(디에스에이엠-200) 대한 각 시너의 용해속도

(도포두께 : 15,000Å, 소프트 베이킹 조건 : 100°C, 90sec)

			용해속도 (Å/s)
시 너 의 종 류	실시에 11	EL : EEP = 70 : 30	1,126
	실시에 12	EL : EEP = 60 : 40	1,270
	실시에 13	EL : EEP = 50 : 50	1,350
	실시에 14	EL : GBL : EEP 60 : 2 : 38	1,224
	실시에 15	EL : GBL : EEP 60 : 5 : 35	1,336
	실시에 16	EL : GBL : EEP 50 : 5 : 45	1,394
	실시에 17	EL : GBL : EEP 40 : 5 : 55	1,650
	실시에 18	EL : GBL : EEP 30 : 5 : 65	1,685
	실시에 19	EL : GBL : EEP 20 : 5 : 75	1,690
	비교예 11	EL	942
	비교예 12	GBL	≥ 4,000 ?
	비교예 13	EEP	1,780 ?
	비교예 14	ECA	1,989
	비교예 15	EL : GBL = 80 : 20	2,350

상기 표5에 나타난 바와 같이, 에틸락테이트와 에틸-3-에톡시프로피오네이트의 조성의 경우에서는 에틸-3-에톡시프로피오네이트의 함량이 증가할수록 포토레지스트의 용해속도가 증가함을 알 수 있으며, 또한 에틸락테이트, 감마-부티로락톤 및 에틸-3-에톡시프로피오네이트의 조성의 경우에서는 감마-부티로락톤과 에틸-3-에톡시프로피오네이트의 함량이 증가할수록 포토레지스트의 용해속도가 증가함을 알 수 있으며, 그에 따라 소정의 용해속도를 갖도록 용이하게 조절할 수 있다.

표 6 포토레지스트(디피알-2053)에 대한 각 시너의 용해속도

(도포두께 : 32,000Å, 소프트 베이킹 조건 : 110°C, 90sec)

시 너 의 종 류			용해속도 (Å/s)
	실시에 11	EL : EEP = 70 : 30	1,100
	실시에 12	EL : EEP = 60 : 40	1,250
	실시에 13	EL : EEP = 50 : 50	1,300
	실시에 20	EL : GBL : EEP 60 : 10 : 30	1,779
	실시에 15	EL : GBL : EEP 60 : 5 : 35	1,934
	실시에 16	EL : GBL : EEP 50 : 5 : 45	2,006
	실시에 17	EL : GBL : EEP 40 : 5 : 55	2,042
	실시에 18	EL : GBL : EEP 30 : 5 : 65	2,079
	실시에 19	EL : GBL : EEP 20 : 5 : 75	2,060
	실시에 21	EL : GBL : EEP 10 : 5 : 85	1,978
	비교예 11	EL	909
	비교예 12	GBL	≥ 3,500
	비교예 13	EEP	1,613
	비교예 14	ECA	1,900
	비교예 15	EL : GBL = 80 : 20	2,004

상기 표6에 나타난 바와 같이, 에틸락테이트, 감마-부티로락톤 및 에틸-3-에톡시프로피오네이트의 조성의 경우에는 감마-부티로락톤과 에틸-3-에톡시프로피오네이트의 함량이 증가할수록 포토레지스트의 용해속도가 증가하나, 에틸락테이트의 함량이 20 중량% 미만이 되는 경우에는 오히려 감소함을 알 수 있으며, 그에 따라 소정의 용해속도를 갖도록 용이하게 조절할 수 있다.

시너들의 휘발성 측정 실험

시너들의 휘발성의 측정은 반도체 제조공정에서 널리 사용되는 코터(coater)를 사용하여 웨이퍼 위에 시너 1ml를 떨어뜨린 후, 1,000 내지 5,000rpm의 범위로 회전속도를 변화시켜가면서 회전시켜 웨이퍼의 에지부근까지 시너가 완전히 휘발되는 시간을 측정하였으며, 그 결과를 표7에 나타내었다.

표 7 시너의 웨이퍼 상에서의 휘발성 (단위 : sec)

	회 전 속 도 (rpm)				
	5,000	4,000	3,000	2,000	1,000

시 너 의 종 류	실시에 11	EL : EEP 70 : 30	7	9	17	40	140
	실시에 12	EL : EEP 60 : 40	7	9	16	35	135
	실시에 13	EL : EEP 50 : 50	6	8	14	32	120
	실시에 15	EL : GBL : EEP 60 : 5 : 35	7	11	15	33	124
	실시에 16	EL : GBL : EEP 50 : 5 : 45	7	11	17	36	133
	실시에 17	EL : GBL : EEP 40 : 5 : 55	7	12	20	38	141
	실시에 18	EL : GBL : EEP 30 : 5 : 65	7	11	20	38	144
	실시에 19	EL : GBL : EEP 20 : 5 : 75	7	11	20	39	145
	비교예 11	EL	6	8	14	31	120
	비교예 12	GBL	58	71	131	-	-
	비교예 13	EEP	6	9	17	35	138
	비교예 14	ECA	4	6	13	24	88
	비교예 15	EL : GBL 80 : 20	29	43	87	124	420

상기 표7에 나타난 바와 같이, 본 발명에 따라 에틸락테이트와 에틸-3-에톡시프로피오네이트의 혼합물로 이루어진 시너 조성물은 에틸락테이트 또는 에틸-3-에톡시프로피오네이트를 단독으로 사용하는 경우와 거의 유사할 정도로 빠르게 그리고 에지 부근까지 완전히 휘발됨을 보여주고 있으며, 또한 휘발성이 현저하게 낮기는 하나, 포토레지스트에 대한 용해속도가 우수한 감마-부티로락톤을 혼합하여 사용하는 경우에도 에틸락테이트 또는 에틸-3-에톡시프로피오네이트를 단독으로 사용하는 경우와 거의 유사할 정도로 빠르게 그리고 에지 부근까지 완전히 휘발됨을 보여주고 있다. 또한, 에틸락테이트의 함량이 증가할수록 휘발성이 일정하게 증가함을 알 수 있어 소정의 휘발성을 갖도록 용이하게 조절할 수 있다.

시너들의 점도 측정 실험

상기 실험들에서 사용된 시너들의 점도를 측정하여 표8에 나타내었다.

시너들의 점도는 시너의 분사에 필요한 분사시스템 및 노즐에서 적절한 분사압을 갖도록 조절하는데 필수적인 요소로서, 시너의 높은 점도는 필요이상의 압력손실을 일으키는 원인이 된다.

표 8 각 시너들의 점도 (단위 : cps, 25℃에서)

			점 도(cps)
시 너 의 중 류	실시에 11	EL : EEP = 70 : 30	1.82
	실시에 12	EL : EEP = 60 : 40	1.75
	실시에 13	EL : EEP = 50 : 50	1.70
	실시에 15	EL : GBL : EEP 60 : 5 : 35	1.74
	실시에 16	EL : GBL : EEP 50 : 5 : 45	1.65
	실시에 17	EL : GBL : EEP 40 : 5 : 55	1.50
	실시에 18	EL : GBL : EEP 30 : 5 : 65	1.48
	실시에 19	EL : GBL : EEP 20 : 5 : 75	1.40
	비교예 11	EL	2.38
	비교예 12	GBL	1.77
	비교예 13	EEP	1.20
	비교예 14	ECA	1.32
	비교예 15	EL : GBL = 80 : 20	2.25

상기 표8에 나타난 바와 같이, 본 발명에 따른 시너 조성물의 경우에는 에틸락테이트와 에틸-3-에톡시프로피오네이트의 혼합후에도 여전히 에틸락테이트를 단독으로 사용하는 경우에서와 비교될 정도로 낮은 점도를 유지할 수 있어, 노즐을 통한 분사시에 과다한 압력손실을 유발하지 않음을 알 수 있었으며, 또한 비교적 높은 점도를 갖기는 하나, 포토레지스트에 대한 용해속도가 우수한 감마-부티로락톤을 혼합하여 사용하는 경우에도 상당히 낮은 점도를 유지할 수 있도록 함으로써 노즐을 통한 분사시에 과다한 압력손실을 유발하지 않음을 알 수 있다. 또한, 에틸-3-에톡시프로피오네이트의 함량이 증가할수록 점성이 일정하게 감소함을 알 수 있어 소정의 점성을 갖도록 용이하게 조절할 수 있다.

반도체장치 제조용 웨이퍼의 리워크공정

도5는 본 발명에 따른 반도체장치의 제조방법 중에서 사진식각공정의 수행시 발생하는 불량으로 인하여 리워크공정을 수행하는 것을 나타내는 공정도로서 먼저, 반도체기판에 특정 패턴을 형성시키기 위하여 상기 반도체기판 상에 포토레지스트를 도포(S10)시킨 후, 사진식각공정을 수행(S12)한다.

상기 사진식각공정 수행시 노광불량 이나 패턴불량 등의 불량발생(S14)이 일어나면, 상기 사진식각공정시 도포되었던 포토레지스트를 제거(S16)하여 리워크공정을 수행한다.

이렇게 리워크공정에 수행된 웨이퍼에 대하여 특정 패턴을 형성하기 위하여 다시 포토레지스트를 재도포(S18)하고 통상의 사진식각공정을 재수행(S20)함으로써 원하는 반도체장치를 제조할 수 있다.

도6은 본 발명의 일 실시예에 따른 리워크공정을 구체적으로 나타낸 공정도이며, 도8은 이를 실현하기 위한 리워크장치를 나타낸다.

도8을 참조하면, 포토레지스트를 도포하기 위한 통상의 스프인코터와 유사하게, 회전가능한 진공척(12) 상에 웨이퍼(11)를 진공흡착하여 고정시킬 수 있다. 포토레지스트를 제거하기 위한 본 발명의 시너 조성물을 공급하기 위하여 시너용 노즐(10)이 노즐(10)을 지지하기 위한 지지대(16)에 설치된 회전가능한 아암(13)에 설치되어 있다. 상기 아암(13)의 회전동작에 의해 노즐(10)이 리워크하려고 하는 웨이퍼(11) 상의 소정 위치에 위치하게 된다. 상기 지지대(16)는 리워크장치의 소정 고정물(도시안됨)에 설치된 업다운실린더(14)에 샤프트(15)를 매개로 상하운동이 가능하도록 설치되어 있다. 참조번호 17은 상기 지지대(16)가 업다운실린더(14)에 정위치시키는 고정너트를 나타낸다. 한편, 상기 시너 조성물은 상기 지지대(16)의 아암(13)을 통하여 설치된 시너 조성물 공급관(도시안됨)을 통하여 노즐(10)에 공급되도록 구성되어 있다.

도6 및 도8을 참조하여 리워크과정을 구체적으로 살펴본다.

먼저 반도체기판상의 특정 층에 대하여 패턴 형성을 위한 사진식각공정이 수행되며, 이때 상기 사진식각공정의 수행시 불량이 발생할 경우, 예를 들어 포토레지스트의 도포시 발생하는 코팅불량 또는 노광공정을 수행하기 위한 정렬시 발생하는 노광불량 또는 현상공정시 포토레지스트 패턴불량 등의 발생으로 인하여 포토레지스트를 제거시키는 리워크공정을 수행한다.

이러한 리워크용 웨이퍼를 도8의 진공척(12)상에 로딩(S161)한다.

이어서, 상기 포토레지스트가 상면에 형성된 리워크용 웨이퍼(11) 표면에 상기 노즐(10)을 통

하여 시너 조성물을 공급(S163)한다.

시너가 공급된 웨이퍼(11)가 고정된 진공척(12)을 약 5분 미만으로 정지시켜 포토레지스트를 시너에 함침(S165)시킨 상태로 유지한 후, 적어도 약 30초 이상, 바람직하게는 30초 내지 60초 동안 상기 진공척(12)을 고속회전시켜 시너와 함께 시너에 의하여 용해된 포토레지스트를 제거한다(S167). 여기에서 시너가 공급된 웨이퍼가 고정된 진공척을 100rpm 이하의 속도로 저속회전시켜 웨이퍼의 중심부로 공급된 시너가 웨이퍼의 가장자리까지 충분히 적셔질 수 있도록 함으로써 포토레지스트의 균일한 용해 및 용해속도의 촉진 등의 효과를 기대할 수 있다. 이어서 웨이퍼를 진공척(12)으로부터 언로딩(S169)하여 리워크공정을 종료한다.

본 발명의 실시예에 사용한 상기 포토레지스트들로서는, 상용적으로 공급되는 포토레지스트들 중 씨알케이-2(CRK-2), 씨알에스에스-3(CRSS-3), 에스에스01에이9(SS01A9) 및 엠씨피알-4000디3(MCPR-4000D3) 등을 선택하여 실험을 수행하였으며, 그 결과 웨이퍼의 표면으로부터 이들 포토레지스트들을 신속하게 그리고 효과적으로 제거할 수 있었으며, 그로부터 상용적으로 공급되는 포토레지스트의 대부분에 적용될 수 있음을 확인할 수 있었다.

또한 상기 리워크공정의 수행시 사용한 시너 조성물은, 70중량% 내지 80중량%의 에틸-3-에톡시프로피오네이트, 17중량% 내지 23중량%의 에틸락테이트 및 3중량% 내지 7중량%의 감마-부티로락톤을 혼합시켜 제조한 시너 조성물을 이용하였으며, 구체적으로 75중량%의 에틸-3-에톡시프로피오네이트, 20중량%의 에틸락테이트 및 5중량%의 감마-부티로락톤을 혼합시켜 제조한 시너 조성물을 이용하였다. 상기 시너 조성물의 점도는 1.0 내지 2.0cps 인 것이 사용될 수 있으며, 바람직하게는 1.3 내지 1.9cps 인 것이 사용될 수 있다.

한편, 상기 시너 조성물의 다른 형태로써, 40중량% 내지 20중량%의 에틸-3-에톡시프로피오네이트(EEP : Ethyl-3-ethoxy propionate) 및 60중량% 내지 80중량%의 에틸락테이트(EL : Ethyl lactate)를 혼합시켜 제조한 것을 이용할 수 있으며, 또다른 형태로써 90중량% 내지 60중량%의 에틸락테이트(EL : Ethyl lactate)와 10중량% 내지 40중량%의 감마-부티로락톤(GBL : γ -butyrolactone)을 혼합시켜 제조한 것을 이용할 수도 있다.

도9 내지 도11은 본 발명의 리워크공정을 구체적으로 수행하는 단계를 각각 나타낸다.

도9는 반도체기판(21)상에 직접 도포된 포토레지스트(23)에 일정한 불량이 발생하였을 경우에 대한 리워크용 웨이퍼의 단면을 나타낸 것이다.

도10은 반도체기판(21)상에 특정의 반도체장치 제조공정이 진행되는 과정에서 최상층에 절연막(25)이 형성되고, 상기 절연막(25)에 대하여 특정 패턴을 형성하기 위하여 포토레지스트(23)가 도포된 후, 사진식각공정을 진행하고, 이 과정에서 불량이 발생한 경우에 대한 리워크용 웨이퍼의 단면을 나타낸다. 상기 절연막(25)은 산화막 또는 질화막이 될 수 있다.

도11은 반도체기판(21)상에 특정의 절연막(25), 예를 들어 산화막 또는 질화막이 형성되어 있으며, 특정의 반도체장치 제조공정이 진행되는 과정에서 최상층에 금속막(27)이 형성되고, 상기 금속막(27)에 대하여 특정 패턴을 형성하기 위하여 포토레지스트(23)가 도포된 후, 사진식각공정을 진행하고, 이 과정에서 불량이 발생한 경우에 대한 리워크용 웨이퍼의 단면을 나타낸다. 상기 금속막(27)으로서는 예를 들어, 알루미늄막을 들 수 있다.

본 발명은 포토레지스트가 상기 반도체기판 상에 직접 도포되거나, 소정의 절연막 또는 금속막 상에 도포되거나 관계없이 상기 본 발명의 동일한 시너 조성물을 이용하여 상기 리워크공정을 수행할 수 있다.

이상으로부터 상기 시너 조성물을 이용한 리워크공정을 수행한 결과, 그 수율이 종래의 엔-부틸아세테이트 등의 케미컬을 이용한 리워크공정에서의 수율과 비교하여 떨어지지 않는다.

표 9

	정상공정	본 발명의 리워크공정 1회수행	본 발명의 리워크공정 5회수행	종래의 리워크공정 1회수행	종래의 리워크공정 2회수행
시료1	51.4%	62.4%	63.3%	62.3%	64.3%
시료2	76.8%	80.2%	85.2%	79.4%	81.5%
상기 시료들에 사용된 포토레지스트 : 엠씨피알-4000디3					

상기 표9에서와 같이 반도체 기판 상에 금속막을 형성시킨 시료1 및 시료2를 이용한 리워크공정의 수율을 평가해본 결과 종래의 수율에 비교하여 별차이가 없음을 알 수 있다.

그리고 패턴을 형성시키지 않은 반도체기판 상에 질화막 또는 금속막을 형성시킨 후, 그 상부에 포토레지스트를 도포시킨 시료를 이용하여 상기 리워크공정을 평가해 본 결과, 상기 유기물 잔존량을 나타내는 콘택앵글(Contact Angle)이 41.1° 내지 43.2° 정도로 평가결과를 얻음으로 인해 54.2°로 나타나는 종래보다 유기물잔존량이 적음을 확인할 수 있다.

또한 주사전자현미경을 이용한 표면상태의 평가에서도 반도체기판에 대한 표면상태는 상기 종래와 차이가 나지 않음을 알 수 있었다.

그리고 상기 주사전자현미경을 이용하여 질화막이나 금속막의 표면을 평가해본 결과, 종래의 리워크공정의 수행시에는 포토레지스트가 수A 정도 잔류하는 것을 볼 수 있었고, 본 발명의 수행에서는 상기 포토레지스트가 잔류하지 않음을 볼 수 있었다.

즉, 본 발명에 의한 리워크공정의 수행은 종래의 리워크공정의 수행에서와 유사한 정도의 수율

을 얻을 수 있고, 또한 종래의 리워크공정의 수행보다 포토레지스트의 제거능력이 향상됨을 알 수 있다.

도12는 본 발명의 일 실시예에 따른 리워크공정의 적용 전후의 웨이퍼의 재공율(在工率, reworking rate) 추이를 나타내는 그래프이다.

본 발명은 반도체기판에 형성된 막의 종류에 상관없이 상기 시너 조성물을 이용하여 리워크공정을 수행할 수 있어 도12에 도시된 그래프와 같이 리워크공정 없이 공정처리되는 처리매수는 종래보다 증가하고, 리워크공정이 수행되는 재공율은 감소하는 것을 알 수 있다. 즉, 도12에 도시된 바와 같이 약 2개월에 걸쳐 종래의 리워크공정과 본 발명의 리워크공정의 적용에 따른 생산성을 비교한 결과, 도12의 그래프에서 8월 11일 이후에 본 발명의 리워크공정을 수행하여 생산성을 평가해 본 결과 단위시간 당 처리매수는 향상하고, 재공율은 감소하는 것을 확인할 수 있음으로 인해 생산성이 향상되는 것을 알 수 있다. 여기에서 재공율이라 함은 웨이퍼로부터 출발하여 최종 제품이 산출될 때까지 소요되는 시간까지 동안에 미제품으로서 잔류하는 웨이퍼를 백분율로 표시한 개념이다.

반도체장치의 린스공정

도7은 본 발명에 따른 반도체장치의 제조방법중 린스공정의 일 실시예를 나타내는 공정도이다.

도7을 참조하면, 먼저 반도체기판 상에 도포될 포토레지스트와 상기 반도체기판의 접착성이 향상되도록 상기 반도체기판 상에 프라이머를 도포시키킨다(S30). 상기 프라이머는 반도체기판상에 직접 또는 포토레지스트에 도포될 특성의 절연막 또는 금속막상에 도포될 수 있다. 여기서 상기 프라이머는 헥사메틸렌디실라잔(HMDS; Hexamethylenedisilazane)과 같은 통상의 프라이머를 사용할 수 있다.

이어서, 상기 프라이머가 도포된 웨이퍼 상에 특정 패턴을 형성시키기 위하여 포토레지스트를 도포한다(S32).

이어서, 상기 포토레지스트 중에서 상기 반도체장치의 제조과정에서 불필요한 부분인 웨이퍼의 에지부이나 이면부분에 도포된 포토레지스트를 70중량% 내지 80중량%의 에틸-3-에톡시프로피오네이트(EEP), 17중량% 내지 23중량%의 에틸락테이트(EL) 및 3중량% 내지 7중량%의 감마-부티로락톤(GBL)을 혼합시켜 제조한 시너 조성물을 분사노즐을 이용하여 린스하여 제거시킨다(S34).

상기 시너 조성물은 바람직하게는 75중량%의 에틸-3-에톡시프로피오네이트, 20중량%의 에틸락테이트 및 5중량%의 감마-부티로락톤을 혼합시켜 제조한 것을 이용한다.

한편, 상기 시너 조성물의 다른 형태는, 40중량% 내지 20중량%의 에틸-3-에톡시프로피오네이트(EEP; Ethyl-3-ethoxy propionate) 및 60중량% 내지 80중량%의 에틸락테이트(EL; Ethyl lactate)를 혼합시켜 제조한 것을 이용할 수 있으며, 또다른 형태로서 90중량% 내지 60중량%의 에틸락테이트(EL; Ethyl lactate)와 10중량% 내지 40중량%의 감마-부티로락톤(GBL; γ -butyrolactone)을 혼합시켜 제조한 것을 이용할 수도 있다.

이어서, 상기 웨이퍼상의 포토레지스트의 점착력 향상 및 용제를 제거하기 위해 웨이퍼를 열판에 올려 놓은 후 소프트 베이킹(soft baking)(S36)한다.

이어서, 상기 포토레지스트에 특정 패턴을 형성하기 위해 마스크나 레티클을 사용하여 빛을 선택적으로 조사하는 노광공정을 실시한다(S38). 이어서 노광공정시 자외선 빛의 산란으로 노광택계부위의 불필요한 노광에 의해 부정확한 패턴이 발생되지 않도록 산란으로 인한 노광부위의 화학구조적 안정성을 회복하기 위한 PEB(Post-Exposure Bake)공정을 수행한다(S40).

이어서, 상기 노광단계에 의해 광화학반응을 일으킨 포토레지스트를 선택적으로 제거하여 현상하며(S42), 패턴의 안정성을 위해 포토레지스트를 경화하는 하드 베이킹(Hard Baking)을 수행한다.

이후 형성된 포토레지스트 패턴에 따라 통상의 식각공정 또는 이온주입공정 등을 수행하여 반도체장치를 제조하게 된다.

발명의 효과

따라서, 본 발명에 의하면 웨이퍼상의 포토레지스트를 제거하는 리워크공정이나 린스공정에서 충분한 용해속도를 가지면서도 높은 휘발성과 낮은 점성을 갖는 시너 조성물을 얻을 수 있다.

또한 본 발명에 의하면 반도체장치의 제조과정에서 금속막 형성전후에 상관없이 상기 동일한 시너 조성물을 이용하여 리워크공정을 수행할 수 있으며, 나아가 상기 리워크공정 및 린스공정을 동일한 시너 조성물 및 장치를 사용하여 일원화시킬 수 있어 생산성이 향상되는 효과가 있다.

이상에서 본 발명은 기재된 구체예에 대해서만 상세히 설명되었지만 본 발명의 기술사상 범위 내에서 다양한 변형 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부된 특허청구범위에 속함은 당연한 것이다.

(57) 청구의 범위

청구항 1

반도체기판에 특정 패턴(Pattern)을 형성시키기 위하여 상기 반도체기판 상에 포토레지스트(Photoresist)를 도포하여 사진식각공정을 수행하는 단계; 및

상기 사진식각공정의 수행시 발생하는 불량으로 인하여 상기 반도체기판 상에 도포된 포토레지스트를 70중량% 내지 80중량%의 에틸-3-에톡시프로피오네이트(EEP : Ethyl-3-ethoxy propionate), 17중량% 내지 23중량%의 에틸락테이트(EL : Ethyl lactate) 및 3중량% 내지 7중량%의 감마-부티로락톤(GBL : γ -butyrolactone)을 혼합시켜 제조한 시너 조성물을 이용하여 제거시키는 단계;
를 구비하여 이루어짐을 특징으로 하는 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 2

제 1 항에 있어서,

상기 시너 조성물을 이용하여 포토레지스트를 제거하는 단계는,

상기 포토레지스트가 형성된 반도체기판을 회전가능한 진공척상에 로딩하는 단계;

상기 로딩된 반도체기판상에 상기 시너 조성물을 공급하는 단계;

상기 반도체기판상의 포토레지스트가 상기 시너 조성물에 용해되도록 일정시간 유지하는 단계;
및

강기 진공척을 회전시켜 상기 시너 조성물과 함께 포토레지스트를 제거하는 단계;

를 포함하여 이루어지는 것을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 3

제 1 항에 있어서,

상기 포토레지스트의 제거는 75중량%의 에틸-3-에톡시프로피오네이트, 20중량%의 에틸락테이트 및 5중량%의 감마-부티로락톤을 혼합시켜 제조한 시너 조성물을 이용함을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 4

제 1 항에 있어서,

상기 시너 조성물은 1.0 내지 2.0 cps의 범위 내의 점도를 갖는 것임을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 5

제 4 항에 있어서,

상기 시너 조성물은 1.3 내지 1.9 cps의 범위 내의 점도를 갖는 것임을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 6

반도체기판에 특정 패턴(Pattern)을 형성시키기 위하여 상기 반도체기판 상에 포토레지스트(Photoresist)를 도포하여 사진식각공정을 수행하는 단계; 및

상기 사진식각공정의 수행시 발생하는 불량으로 인하여 상기 반도체기판 상에 도포된 포토레지스트를 40중량% 내지 20중량%의 에틸-3-에톡시프로피오네이트(EEP : Ethyl-3-ethoxy propionate) 및 60중량% 내지 80중량%의 에틸락테이트(EL : Ethyl lactate)를 혼합시켜 제조한 시너 조성물을 이용하여 제거시키는 단계;

를 구비하여 이루어짐을 특징으로 하는 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 7

제 6 항에 있어서,

상기 시너 조성물을 이용하여 포토레지스트를 제거하는 단계는,

상기 포토레지스트가 형성된 반도체기판을 회전가능한 진공척상에 로딩하는 단계;

상기 로딩된 반도체기판상에 상기 시너 조성물을 공급하는 단계;

상기 반도체기판상의 포토레지스트가 상기 시너 조성물에 용해되도록 일정시간 유지하는 단계;
및

강기 진공척을 회전시켜 상기 시너 조성물과 함께 포토레지스트를 제거하는 단계;

를 포함하여 이루어지는 것을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 8

제 6 항에 있어서,

상기 시너 조성물은 1.0 내지 2.0 cps의 범위 내의 점도를 갖는 것임을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 9

반도체기판에 특정 패턴(Pattern)을 형성시키기 위하여 상기 반도체기판 상에 포토레지스트(Photoresist)를 도포하여 사진식각공정을 수행하는 단계: 및

상기 사진식각공정의 수행시 발생하는 불량으로 인하여 상기 반도체기판 상에 도포된 포토레지스트를 90중량% 내지 60중량%의 에틸락테이트(EL : Ethyl lactate)와 10중량% 내지 40중량%의 감마-부티로락톤(GBL : γ -butyrolactone)을 혼합시켜 제조한 시너 조성물을 이용하여 제거시키는 단계:

를 구비하여 이루어짐을 특징으로 하는 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 10

제 9 항에 있어서,

상기 시너 조성물을 이용하여 포토레지스트를 제거하는 단계는,

상기 포토레지스트가 형성된 반도체기판을 회전가능한 진공척상에 로딩하는 단계:

상기 로딩된 반도체기판상에 상기 시너 조성물을 공급하는 단계:

상기 반도체기판상의 포토레지스트가 상기 시너 조성물에 용해되도록 일정시간 유지하는 단계: 및

강기 진공척을 회전시켜 상기 시너 조성물과 함께 포토레지스트를 제거하는 단계:

를 포함하여 이루어지는 것을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 11

제 9 항에 있어서,

상기 시너 조성물은 1.0 내지 2.0 cps의 범위 내의 점도를 갖는 것임을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 12

반도체기판 상에 형성된 절연막을 특정 패턴으로 형성시키기 위하여 상기 절연막 상에 포토레지스트를 도포시킨 후, 사진식각공정을 수행하는 단계: 및

상기 사진식각공정의 수행시 발생하는 불량으로 인하여 상기 절연막 상에 도포된 포토레지스트를 70중량% 내지 80중량%의 에틸-3-에톡시프로피오네이트(EEP), 17중량% 내지 23중량%의 에틸락테이트(EL) 및 3중량% 내지 7중량%의 감마-부티로락톤(GBL)을 혼합시켜 제조한 시너 조성물을 이용하여 제거시키는 단계:

를 구비하여 이루어짐을 특징으로 하는 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 13

제 12 항에 있어서,

상기 시너 조성물을 이용하여 포토레지스트를 제거하는 단계는,

상기 포토레지스트가 형성된 반도체기판을 회전가능한 진공척상에 로딩하는 단계:

상기 로딩된 반도체기판상에 상기 시너 조성물을 공급하는 단계:

상기 반도체기판상의 포토레지스트가 상기 시너 조성물에 용해되도록 일정시간 유지하는 단계: 및

강기 진공척을 회전시켜 상기 시너 조성물과 함께 포토레지스트를 제거하는 단계:

를 포함하여 이루어지는 것을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 14

제 12 항에 있어서,

상기 절연막은 질화막 또는 산화막임을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 15

반도체기판 상에 형성된 절연막을 특정 패턴(Pattern)으로 형성시키기 위하여 상기 절연막 상에 포토레지스트(Photoresist)를 도포시킨 후, 사진식각공정을 수행하는 단계: 및

상기 사진식각공정의 수행시 발생하는 불량으로 인하여 상기 절연막 상에 도포된 포토레지스트를 40중량% 내지 20중량%의 에틸-3-에톡시프로피오네이트(EEP) 및 60중량% 내지 80중량%의 에틸락테이트(EL)를 혼합시켜 제조한 시너 조성물을 이용하여 제거시키는 단계:

를 구비하여 이루어짐을 특징으로 하는 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 16

제 15 항에 있어서,

상기 절연막은 질화막 또는 산화막임을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 17

반도체기판 상에 형성된 절연막을 특정 패턴(Pattern)을 형성시키기 위하여 상기 절연막 상에 포토레지스트(Photoresist)를 도포시킨 후, 사진식각공정을 수행하는 단계; 및

상기 사진식각공정의 수행시 발생하는 불량으로 인하여 상기 절연막 상에 도포된 포토레지스트를 90중량% 내지 60중량%의 에틸락테이트(EL)와 10중량% 내지 40중량%의 감마-부티로락톤(GBL)을 혼합시켜 제조한 시너 조성물을 이용하여 제거시키는 단계;

를 구비하여 이루어짐을 특징으로 하는 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 18

제 13 항에 있어서,

상기 절연막은 질화막 또는 산화막임을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 19

반도체기판 상에 형성된 금속막을 특정 패턴으로 형성시키기 위하여 상기 금속막 상에 포토레지스트를 도포시킨 후, 사진식각공정을 수행하는 단계; 및

상기 사진식각공정의 수행시 발생하는 불량으로 인하여 상기 금속막 상에 도포된 포토레지스트를 70중량% 내지 80중량%의 에틸-3-에톡시프로피오네이트(EEP), 17중량% 내지 23중량%의 에틸락테이트(EL) 및 3중량% 내지 7중량%의 감마-부티로락톤(GBL)을 혼합시켜 제조한 시너 조성물을 이용하여 제거시키는 단계;

를 구비하여 이루어짐을 특징으로 하는 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 20

제 19 항에 있어서,

상기 시너 조성물을 이용하여 포토레지스트를 제거하는 단계는,

상기 포토레지스트가 형성된 반도체기판을 회전가능한 진공척상에 로딩하는 단계;

상기 로딩된 반도체기판상에 상기 시너 조성물을 공급하는 단계;

상기 반도체기판상의 포토레지스트가 상기 시너 조성물에 용해되도록 일정시간 유지하는 단계; 및

상기 진공척을 회전시켜 상기 시너 조성물과 함께 포토레지스트를 제거하는 단계;

를 포함하여 이루어지는 것을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 21

제 19 항에 있어서,

상기 금속막은 알루미늄막임을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 22

반도체기판 상에 형성된 금속막을 특정 패턴(Pattern)으로 형성시키기 위하여 상기 금속막 상에 포토레지스트(Photoresist)를 도포시킨 후, 사진식각공정을 수행하는 단계; 및

상기 사진식각공정의 수행시 발생하는 불량으로 인하여 상기 금속막 상에 도포된 포토레지스트를 40중량% 내지 20중량%의 에틸-3-에톡시프로피오네이트(EEP) 및 60중량% 내지 80중량%의 에틸락테이트(EL)를 혼합시켜 제조한 시너 조성물을 이용하여 제거시키는 단계;

를 구비하여 이루어짐을 특징으로 하는 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 23

제 22 항에 있어서,

상기 금속막은 알루미늄막임을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 24

반도체기판 상에 형성된 금속막을 특정 패턴(Pattern)을 형성시키기 위하여 상기 금속막 상에 포토레지스트(Photoresist)를 도포시킨 후, 사진식각공정을 수행하는 단계; 및

상기 사진식각공정의 수행시 발생하는 불량으로 인하여 상기 금속막 상에 도포된 포토레지스트를 90중량% 내지 60중량%의 에틸락테이트(EL)와 10중량% 내지 40중량%의 감마-부티로락톤(GBL)을 혼합시켜 제조한 시너 조성물을 이용하여 제거시키는 단계;

를 구비하여 이루어짐을 특징으로 하는 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 25.

제 24 항에 있어서,

상기 금속막은 알루미늄막임을 특징으로 하는 상기 반도체장치 제조용 웨이퍼의 리워크방법.

청구항 26

반도체기판 상에 도포될 포토레지스트와 상기 반도체기판의 접착성이 향상되도록 상기 반도체기판 상에 프라이머를 도포시키는 단계;

상기 프라이머가 도포된 반도체기판 상에 특정 패턴을 형성시키기 위하여 포토레지스트를 도포하는 단계;

상기 포토레지스트 중에서 상기 반도체장치의 제조과정에서 불필요한 부분에 도포된 포토레지스트를 70중량% 내지 80중량%의 에틸-3-에톡시프로피오네이트(EEP), 17중량% 내지 23중량%의 에틸락테이트(EL) 및 3중량% 내지 7중량%의 감마-부티로락톤(GBL)을 혼합시켜 제조한 시너 조성물을 이용하여 린스하여 제거시키는 단계;

상기 반도체기판상의 포토레지스트의 점착력 향상을 위해 소프트 베이킹하는 단계;

상기 포토레지스트에 특정 패턴을 형성하기 위해 노광하는 단계; 및

상기 노광단계에 의해 광화학반응을 일으킨 포토레지스트를 선택적으로 제거하여 현상하는 단계를 구비하여 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 27

제 26 항에 있어서,

상기 린스단계에서 제거되는 불필요한 부분은 상기 반도체기판의 에지부분(Edge Area) 또는 이면부분(Back Area)임을 특징으로 하는 상기 반도체장치의 제조방법.

청구항 28

제 26 항에 있어서,

상기 포토레지스트의 린스단계는 75중량%의 에틸-3-에톡시프로피오네이트, 20중량%의 에틸락테이트 및 5중량%의 감마-부티로락톤을 혼합시켜 제조한 시너 조성물을 이용함을 특징으로 하는 상기 반도체장치의 제조방법.

청구항 29

반도체기판 상에 도포될 포토레지스트와 상기 반도체기판의 접착성이 향상되도록 상기 반도체기판 상에 프라이머를 도포시키는 단계;

상기 프라이머가 도포된 반도체기판 상에 특정 패턴을 형성시키기 위하여 포토레지스트를 도포하는 단계;

상기 포토레지스트 중에서 상기 반도체장치의 제조과정에서 불필요한 부분에 도포된 포토레지스트를 40중량% 내지 20중량%의 에틸-3-에톡시프로피오네이트(EEP) 및 60중량% 내지 80중량%의 에틸락테이트(EL)를 혼합시켜 제조한 시너 조성물을 이용하여 린스하여 제거시키는 단계;

상기 반도체기판상의 포토레지스트의 점착력 향상을 위해 소프트 베이킹하는 단계;

상기 포토레지스트에 특정 패턴을 형성하기 위해 노광하는 단계; 및

상기 노광단계에 의해 광화학반응을 일으킨 포토레지스트를 선택적으로 제거하여 현상하는 단계를 구비하여 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 30

반도체기판 상에 도포될 포토레지스트와 상기 반도체기판의 접착성이 향상되도록 상기 반도체기판 상에 프라이머를 도포시키는 단계;

상기 프라이머가 도포된 반도체기판 상에 특정 패턴을 형성시키기 위하여 포토레지스트를 도포하는 단계;

상기 포토레지스트 중에서 상기 반도체장치의 제조과정에서 불필요한 부분에 도포된 포토레지스트를 90중량% 내지 60중량%의 에틸락테이트(EL)와 10중량% 내지 40중량%의 감마-부티로락톤(GBL)을 혼합시켜 제조한 시너 조성물을 이용하여 린스하여 제거시키는 단계;

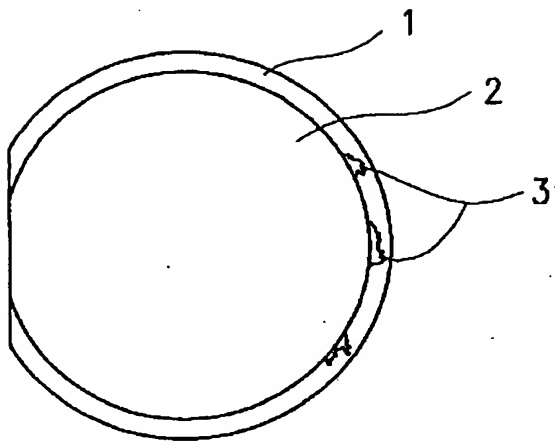
상기 반도체기판상의 포토레지스트의 점착력 향상을 위해 소프트 베이킹하는 단계;

상기 포토레지스트에 특정 패턴을 형성하기 위해 노광하는 단계; 및

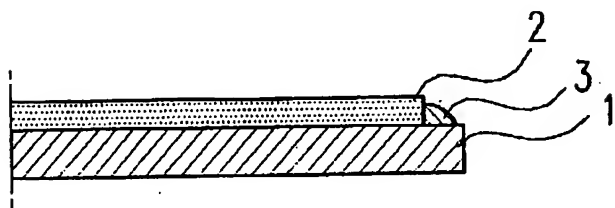
상기 노광단계에 의해 광화학반응을 일으킨 포토레지스트를 선택적으로 제거하여 현상하는 단계를 구비하여 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

도면

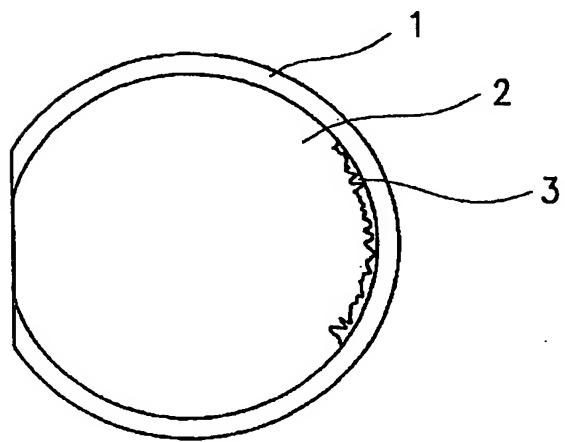
도면1



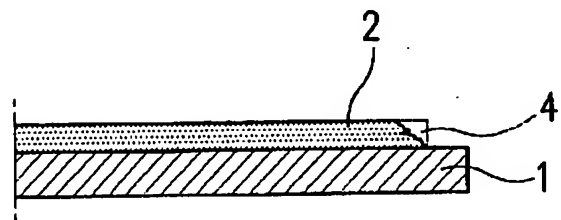
도면2



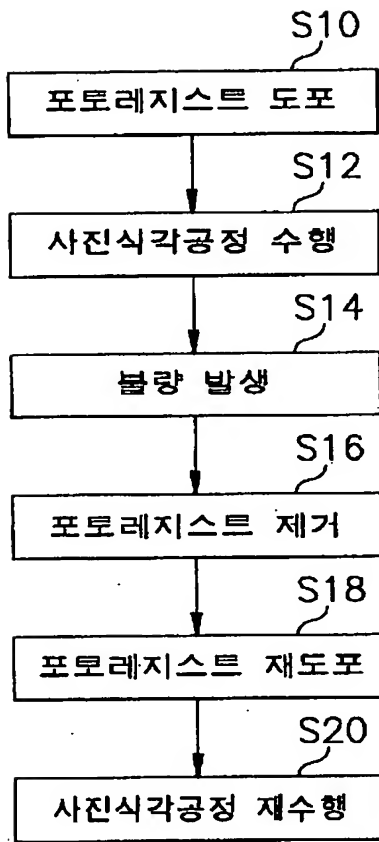
도면3



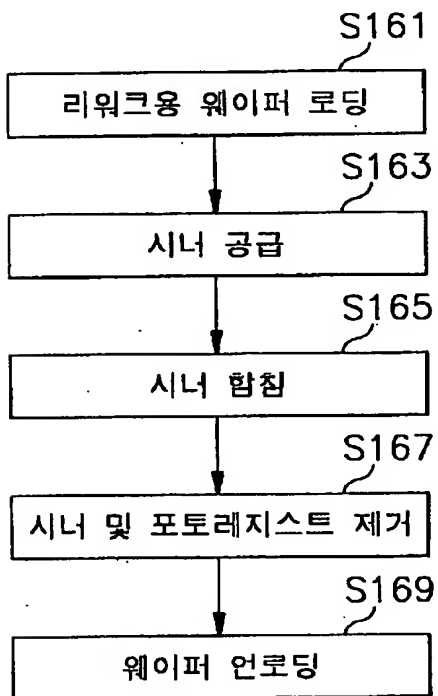
도면4



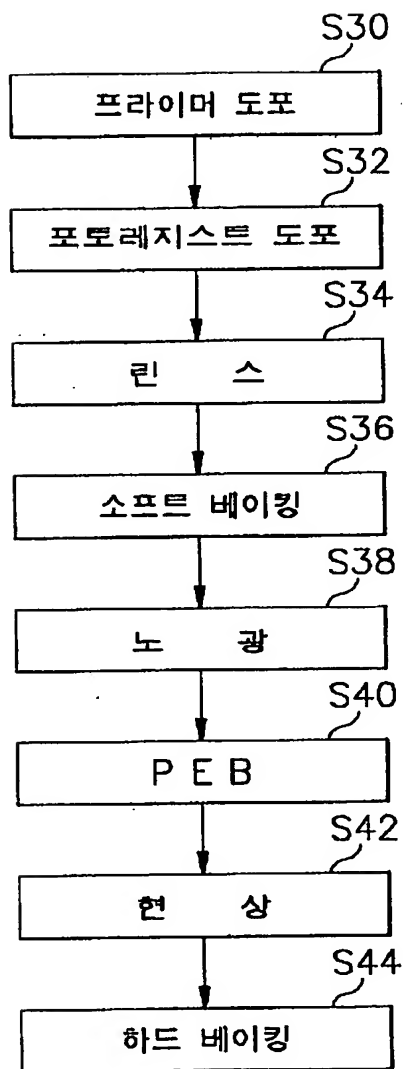
도면5



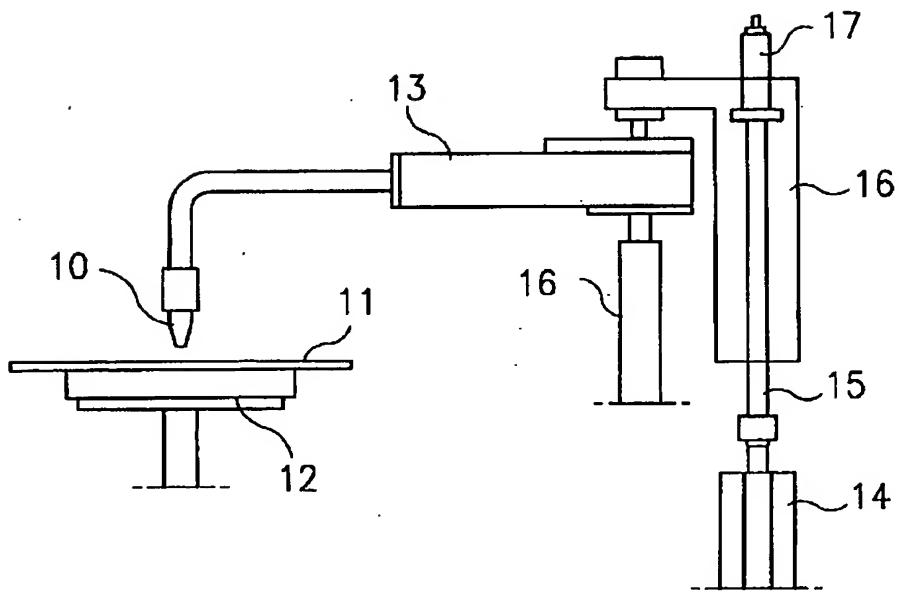
도면6



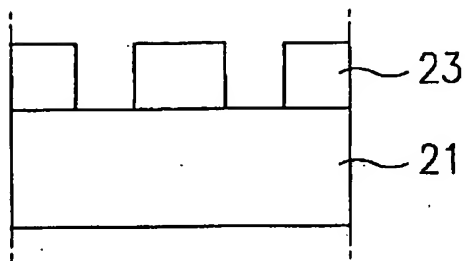
도면7



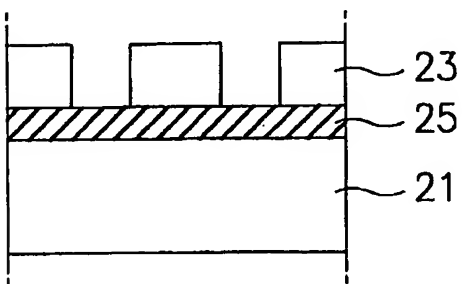
도면8



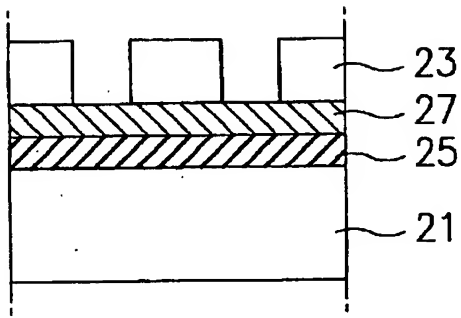
도면9



도면10



도면 11



도면 12

